

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-052030

(43)Date of publication of application : 26.02.1999

(51)Int.Cl.

G01R 31/3183
G01R 31/28

(21)Application number : 09-215046

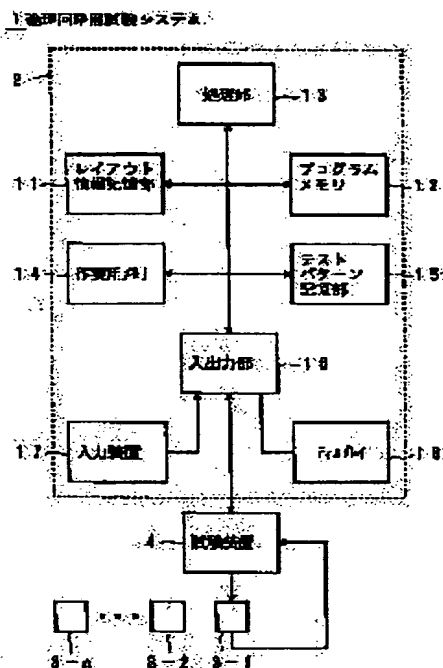
(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.08.1997

(72)Inventor : KONISHI HIDEAKI
ETO TAKESHI**(54) METHOD AND DEVICE FOR CREATING TEST PATTERN FOR LOGIC CIRCUIT AND TEST METHOD AND DEVICE FOR LOGIC CIRCUIT****(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain test patterns efficient in detecting faults by estimating the probability of occurrence of faults to be sampled in logic circuits according to the layout of the logic circuits, arranging faults in order of decreasing probability on the basis of the obtained probability of detected faults, and creating test patterns obtained by compressing patterns in which faults overlap.

SOLUTION: A test pattern creating device 2 executes program for test patterns stored in advance in program memory 12 by a processing part 13 in response to instructions from an input device 17 and creates test patterns on the basis of the layout information of logic integrated circuits 3-1 to 3-n to be tested stored in advance in a layout information storage part 11. In fault information, a higher priority is assigned to a fault which easily occurs, and a fault with a higher priority is compressed into a pattern so that it can be priorly processed. A testing device 4 detects output patterns from the logic circuits 3-1 to 3-n and determines whether they are logically normal or not. In the case that they are not logically normal i.e., the logic circuits are faulty, later tests are canceled to indicate the presence of a fault.

**LEGAL STATUS**

[Date of request for examination]

15.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-52030

(43)公開日 平成11年(1999) 2月26日

(51)Int.Cl.⁶

G 0 1 R 31/3183
31/28

識別記号

F I

G 0 1 R 31/28

Q
F

審査請求 未請求 請求項の数16 O L (全 16 頁)

(21)出願番号 特願平9-215046
(22)出願日 平成9年(1997) 8月8日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 小西 秀明
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 衛藤 健
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 弁理士 伊東 忠彦

(54)【発明の名称】 論理回路用テストパターン作成方法及び装置、並びに、論理回路用試験方法及び装置

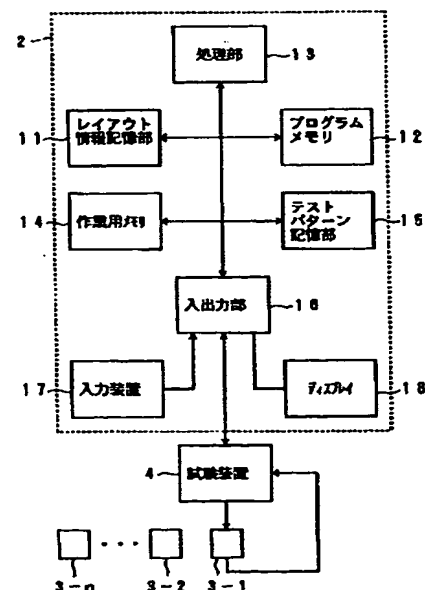
(57)【要約】

【課題】 所望の論理回路の動作を試験するテストパターンを作成するための論理回路用テストパターン作成方法及び装置、並びに、論理回路用試験方法及び装置に関し、故障発見の効率のよいテストパターンを容易に生成できる論理回路用テストパターン作成方法及び装置、並びに、論理回路用試験方法及び装置を提供することを目的とする。

【解決手段】 論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定し、推定された故障検出確率の高い順にテストパターンを順次作成し、作成されたテストパターンのうち上位のテストパターンで検出可能な故障がすべて検出される下位のテストパターンを削除し、テストパターンを圧縮し、最終的なテストパターンとする。

本発明の論理回路用試験システムの一実施例のブロック構成図

1 論理回路用試験システム



1

【特許請求の範囲】

【請求項 1】 論理回路の出力パターンに応じて該論理回路の故障を検出するために該論理回路に供給するテストパターンを作成する論理回路用テストパターン作成方法において、

前記論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定する故障検出確率推定過程と、

前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に配列され、かつ、故障が重複するパターンが圧縮されたテストパターンを作成するテストパターン作成過程とを有することを特徴とする論理回路用テストパターン作成方法。

【請求項 2】 前記故障検出確率推定過程は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて前記故障検出確率を推定することを特徴とする請求項 1 記載の論理回路用テストパターン作成方法。

【請求項 3】 前記故障検出確率推定過程は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて前記故障検出確率を推定することを特徴とする請求項 1 又は 2 記載の論理回路用テストパターン作成方法。

【請求項 4】 前記故障検出確率推定過程は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて前記故障検出確率を推定することを特徴とする請求項 1 乃至 3 のいずれか一項記載の論理回路用テストパターン作成方法。

【請求項 5】 前記故障検出確率推定過程は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定することを特徴とする請求項 1 乃至 4 のいずれか一項記載の論理回路用テストパターン作成方法。

【請求項 6】 前記テストパターン作成過程は、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に全てのテストパターンを生成するテストパターン生成過程と、
前記テストパターン生成過程で作成されたテストパターン中、前記故障検出確率が上位のテストパターンで検出された故障が含まれる下位テストパターンを削除する第 1 の圧縮過程とを有することを特徴とする請求項 1 乃至 5 のいずれか一項記載の論理回路用テストパターン作成方法。

【請求項 7】 前記テストパターン作成過程は、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成する第 2 の圧縮過程を有することを特徴とする請求項 1 記載の論理回路用テストパターン作成方法。

【請求項 8】 論理回路の出力パターンに応じて該論理

2

回路の故障を検出するために該論理回路に供給するテストパターンを作成する論理回路用テストパターン作成装置において、

前記論理回路のレイアウト情報を記憶するレイアウト情報記憶手段と、

前記レイアウト情報記憶手段に記憶された前記論理回路のレイアウト情報に応じて前記論理回路で抽出すべき故障の発生確率を推定する故障検出確率推定手段と、 前記故障検出確率推定手段で検出された故障検出確率の高い順に配列され、かつ、故障が重複するテストパターンが圧縮されたテストパターンを作成するテストパターン作成手段とを有することを特徴とする論理回路用テストパターン作成装置。

【請求項 9】 前記故障検出確率推定手段は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて前記故障検出確率を推定することを特徴とする請求項 8 記載の論理回路用テストパターン作成装置。

【請求項 10】 前記故障検出確率推定手段は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて前記故障検出確率を推定することを特徴とする請求項 8 又は 9 記載の論理回路用テストパターン作成装置。

【請求項 11】 前記故障検出確率推定手段は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて前記故障検出確率を推定することを特徴とする請求項 9 乃至 10 のいずれか一項記載の論理回路用テストパターン作成装置。

【請求項 12】 前記故障検出確率推定手段は、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定することを特徴とする請求項 9 乃至 11 のいずれか一項記載の論理回路用テストパターン作成装置。

【請求項 13】 前記テストパターン作成手段は、前記故障検出確率推定手段で検出された故障検出確率に基づいて全てのテストパターンを作成し、作成されたテストパターンのうち、上位のテストパターンに検出可能な故障がすべて含まれる下位のテストパターンを削除することにより圧縮を行うことを特徴とする請求項 9 乃至 11 のいずれか一項記載の論理回路用テストパターン作成装置。

【請求項 14】 前記テストパターン作成手段は、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成することを特徴とする請求項 9 乃至 11 のいずれか一項記載の論理回路用テストパターン作成装置。

【請求項 15】 論理回路にテストパターンを供給し、該テストパターンに応じて得られる出力パターンに応じて該論理回路の故障を検出する論理回路用試験方法にお

3

いて、

前記論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定し、推定された故障検出確率の高い順に順次圧縮して作成されたテストパターンを上位のテストパターンから順に順次、前記論理回路に供給し、

前記テストパターンセットを前記論理回路に供給したときの前記論理回路の出力パターンを検出し、

前記論理回路の出力パターンに応じて故障を判定し、

前記論理回路から故障を検出したときに、前記テストパターンの供給を停止し、前記論理回路の試験を中止することを特徴とする論理回路用試験方法。

【請求項 16】 論理回路にテストパターンを供給し、該テストパターンに応じて得られる出力パターンに応じて該論理回路の故障を検出する論理回路用試験装置において、

前記論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定し、推定された故障検出確率の高い順に順次圧縮して作成されたテストパターンが記憶されたテストパターン記憶手段と、

前記論理回路の出力パターンを検出する出力パターン検出手段と、

前記テストパターン記憶手段に記憶された前記テストパターンを順次前記論理回路に供給し、前記出力パターン検出手段で検出される出力パターンに応じて故障を判定し、前記論理回路から故障を検出したときに、前記テストパターンの供給を停止し、前記論理回路の試験を中止する試験制御手段とを有することを特徴とする論理回路用試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は論理回路用テストパターン作成方法及び装置、並びに、論理回路用試験方法及び装置に係り、特に、所望の論理回路の動作を試験するテストパターンを作成するための論理回路用テストパターン作成方法及び装置、並びに、論理回路用試験方法及び装置に関する。

【0002】近年、半導体集積回路は大規模化しており、試験時間も増大している。不良チップにおいて試験開始から打ち切りまでの時間を短くするためには、実際に発生しやすい不良をより早い段階で検出するテストパターンを作成する必要がある。

【0003】

【従来の技術】従来、テストパターンを作成するには、まず、量産初期の所定数の論理集積回路に対して、全テストパターンを供給して試験を行う。試験結果に基づいて各入力パターンで検出される故障率を求める。次に、求められた故障検出率の降順に全テストパターンを並べ替える。並べ替えた全テストパターンの上位のテストパターンからテスト結果が重複しないテストパターンを抽出し、以降の論理集積回路のテストパターンとする。

4

【0004】この後、論理集積回路に対して、故障検出率の降順にテストパターンを供給し、試験を行う。また、従来、既に検出された故障が含まれるテストパターンを削除して、試験時に供給すべきテストパターンの数を減少させる、いわゆる、圧縮を行う場合には、そのテストパターンがある故障を検出するか否かや、故障の検出される回数に基づいて必要とするテストパターンを抽出していた。

【0005】

【発明が解決しようとする課題】しかるに、従来のテストパターン作成方法では、圧縮を行う場合には、そのテストパターンがある故障を検出するか否かや、実際に試験をした結果得られる故障の検出される回数のみに基づいてテストパターンを作成しており、故障の発生確率等を考慮していなかったため、効率の悪いテストパターンが先に実施され、試験時間が長くなる等の問題点があった。

【0006】本発明は上記の点に鑑みてなされたもので、故障発見の効率のよいテストパターンを容易に生成できる論理回路用テストパターン作成方法及び装置、並びに、論理回路用試験方法及び装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の請求項 1 は、論理回路の出力パターンに応じて該論理回路の故障を検出するために該論理回路に供給するテストパターンを作成する論理回路用テストパターン作成方法において、前記論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定する故障検出確率推定過程と、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に配列され、かつ、故障が重複するパターンが圧縮されたテストパターンを作成するテストパターン作成過程とを有することを特徴とする。

【0008】請求項 1 によれば、論理回路のレイアウトに応じて推定された故障の発生確率の高い順に、かつ、故障が重複するパターンが圧縮されたテストパターンが生成されるため、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える。

【0009】請求項 2 は、前記故障検出確率推定過程が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて前記故障検出確率を推定することを特徴とする。請求項 2 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて故障検出確率を推定して、テストパターンを作成することにより、縮退

5

故障の主な原因である電源線または接地線などの配線を優先することができるため、実際に発生しやすい故障に有効なテストパターンを優先的に作成できる。

【0010】請求項3は、前記故障検出確率推定過程が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて前記故障検出確率を推定することを特徴とする。請求項3によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて故障検出確率を推定して、テストパターンを作成することにより、断線や短絡の可能性の大きい実配線長が長い配線の故障を優先することができるため、断線や短絡を原因とする故障に有効なテストパターンを優先的に作成できる。

【0011】請求項4は、前記故障検出確率推定過程が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて前記故障検出確率を推定することを特徴とする。請求項4によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて故障検出確率を推定して、テストパターンを作成することにより、配線の断線を原因とする故障を優先してテストパターンを作成することができるため、断線を原因とする故障に有効なテストパターンを優先的に作成できる。

【0012】請求項5は、前記故障検出確率推定過程が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定することを特徴とする。請求項5によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定してテストパターンを作成することにより、短絡の原因となる故障を優先してテストパターンを作成できるため、短絡を原因とする故障に有効なテストパターンを優先的に作成できる。

【0013】請求項6は、前記テストパターン作成過程が、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に全てのテストパターンを生成するテストパターン生成過程と、前記テストパターン生成過程で作成されたテストパターン中、前記故障検出確率が上位のテストパターンで検出された故障が含まれる下位テストパターンを削除する第1の圧縮過程とを有することを特徴とする。

【0014】請求項6によれば、テストパターン生成過程により全てのテストパターンを生成した後、第1の圧縮過程により故障検出確率が上位のテストパターンで検出された故障が含まれる下位テストパターンを削除することによりテストパターンを圧縮する、いわゆる、スタティックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早

6

い段階で、故障を発見できるので、テストを迅速に行える。

【0015】請求項7は、前記テストパターン作成過程が、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成する第2の圧縮過程を有することを特徴とする。請求項7によれば、故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成する、いわゆる、ダイナミックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える。

【0016】請求項8は、論理回路の出力パターンに応じて該論理回路の故障を検出するために該論理回路に供給するテストパターンを作成する論理回路用テストパターン作成装置において、前記論理回路のレイアウト情報を記憶するレイアウト情報記憶手段と、前記レイアウト情報記憶手段に記憶された前記論理回路のレイアウト情報に応じて前記論理回路で抽出すべき故障の発生確率を推定する故障検出確率推定手段と、前記故障検出確率推定手段で検出された故障検出確率の高い順に配列され、かつ、故障が重複するテストパターンが圧縮されたテストパターンを作成するテストパターン作成手段とを有することを特徴とする。

【0017】請求項8によれば、論理回路のレイアウトに応じて推定された故障の発生確率の高い順に、かつ、故障が重複するパターンが圧縮されたテストパターンが生成されるため、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える。

【0018】請求項9は、前記故障検出確率推定手段が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて前記故障検出確率を推定することを特徴とする。請求項9によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて故障検出確率を推定して、テストパターンを作成することにより、縮退故障の主な原因である電源線または接地線などの配線を優先することができるため、実際に発生しやすい故障に有効なテストパターンを優先的に作成できる。

【0019】請求項10は、前記故障検出確率推定手段が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて前記故障検出確率を推定することを特徴とする。請求項10によれば、論理回路の

7

レイアウト上、故障を抽出すべき所定の配線の実配線長に応じて故障検出確率を推定して、テストパターンを作成することにより、断線や短絡の可能性の大きい実配線長が長い配線の故障を優先することができるため、断線や短絡を原因とする故障に有効なテストパターンを優先的に作成できる。

【0020】請求項11は、前記故障検出確率推定手段が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて前記故障検出確率を推定することを特徴とする。請求項11 10によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて故障検出確率を推定して、テストパターンを作成することにより、配線の断線を原因とする故障を優先してテストパターンを作成することができるため、断線を原因とする故障に有効なテストパターンを優先的に作成できる。

【0021】請求項12は、前記故障検出確率推定手段が、前記論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定することを特徴とする。請求項12によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定してテストパターンを作成することにより、短絡の原因となる故障を優先してテストパターンを作成できるため、短絡を原因とする故障に有効なテストパターンを優先的に作成できる。 20

【0022】請求項13は、前記テストパターン作成手段を、前記故障検出確率推定手段で検出された故障検出確率に基づいて全てのテストパターンを作成し、作成されたテストパターンのうち、上位のテストパターンに検出可能な故障がすべて含まれる下位のテストパターンを削除することにより圧縮を行うことを特徴とする。請求項13によれば、テストパターン作成手段により全てのテストパターンを生成した後、故障検出確率が上位のテストパターンで検出された故障が含まれる下位テストパターンを削除することによりテストパターンを圧縮する、いわゆる、スタティックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える。 30

【0023】請求項14は、前記テストパターン作成手段が、前記故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成することを特徴とする。請求項14によれば、故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成する、いわゆる、ダイナミックコンパ 40

8

クションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える。

【0024】請求項15は、論理回路にテストパターンを供給し、該テストパターンに応じて得られる出力パターンに応じて該論理回路の故障を検出する論理回路用試験方法において、前記論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定し、推定された故障検出確率の高い順に順次圧縮して作成されたテストパターンを上位のテストパターンから順に順次、前記論理回路に供給し、前記テストパターンセットを前記論理回路に供給したときの前記論理回路の出力パターンを検出し、前記論理回路の出力パターンに応じて故障を判定し、前記論理回路から故障を検出したときに、前記テストパターンの供給を停止し、前記論理回路の試験を中止することを特徴とする。

【0025】請求項15によれば、故障検出確率の高い順に順次作成されたテストパターンから順次試験を行うので、早い段階で故障を検出でき、故障が検出されたときには直ちに試験が停止されるので、不要な試験を行うことがないので、試験を効率よく行える。請求項16は、論理回路にテストパターンを供給し、該テストパターンに応じて得られる出力パターンに応じて該論理回路の故障を検出する論理回路用試験装置において、前記論理回路のレイアウトに応じて前記論理回路で抽出すべき故障の発生確率を推定し、推定された故障検出確率の高い順に順次圧縮して作成されたテストパターンが記憶されたテストパターン記憶手段と、前記論理回路の出力パターンを検出する出力パターン検出手段と、前記テストパターン記憶手段に記憶された前記テストパターンを順次前記論理回路に供給し、前記出力パターン検出手段で検出される出力パターンに応じて故障を判定し、前記論理回路から故障を検出したときに、前記テストパターンの供給を停止し、前記論理回路の試験を中止する試験制御手段とを有することを特徴とする。

【0026】請求項16によれば、故障検出確率の高い順に順次作成されたテストパターンから順次試験を行うので、早い段階で故障を検出でき、故障が検出されたときには直ちに試験が停止されるので、不要な試験を行うことがないので、試験を効率よく行える。

【0027】

【発明の実施の形態】図1に本発明の論理回路用試験システムの一実施例のブロック構成図を示す。本実施例の論理回路用試験システム1は、主に、テストパターンを作成するテストパターン作成装置2、及び、テストパターン作成装置2で生成されたテストパターンに応じて論理集積回路3-1～3-nを試験する試験装置4から構成される。

9

【0028】テストパターン作成装置2は、レイアウト情報を記憶するレイアウト情報記憶部11、テストパターン生成用のプログラムが格納されたプログラムメモリ12、プログラムメモリ12に格納されたプログラムにより処理が実行され、レイアウト情報記憶部11に応じてテストパターンを生成する処理部13、処理部13の処理における中間結果などを記憶する作業用メモリ14、処理部13の処理により生成されたテストパターンを記憶するテストパターン記憶部15、命令及びデータなどの入出力を行う入出力部16、入出力部16を介して命令、データを入力する入力装置17、データの表示などを行うディスプレイ18から構成される。

【0029】テストパターン作成装置2では、入力装置17からの指示に応じて処理部13がプログラムメモリ12に予め格納されたテストパターン用プログラムを実行して、レイアウト情報記憶部11に予め記憶されたテストしようとする論理集積回路3-1~3-nのレイアウト情報に基づいてテストパターンを作成する。製造プロセス上の基本的な問題がなく、量産状態にある半導体集積回路においては突発的な欠陥の発生する確率は回路内ではほぼ均等であると考えられる。縮退故障や短絡故障でモデル化した場合、ある信号線が1回電源線と交差し、別の信号線が10回交差しているのでは、10回交差している信号線上の仮定故障のほうが実際の故障発生確率が高いのは明らかである。

【0030】そこで回路内の信号線をいくつかの観点から調べることによって、それぞれの信号線上に想定された仮定故障の発生しやすさを見積もることができる。故障情報（故障辞書）において、発生しやすい故障に高い優先順位をつけて、優先度の高い故障を検出可能なテストパターンから先に処理するようにテストパターンの圧縮及びこの後の処理をおこなうことによって、発生しやすい故障をより早く検出することが可能なテストパターンをより短いシーケンスで作成できる。

【0031】次に、テストパターン作成装置2によるテストパターン作成動作について図面とともに説明する。図2に本発明の論理回路用試験システムの一実施例の処理部によるテストパターン作成時の動作フローチャートを示す。処理部13では、まず、レイアウト情報記憶部11からテストしようとする論理集積回路3-1~3-nのレイアウト情報を読み出し、故障を検出しようとする各信号線の故障発生度を推定することにより、仮定故障の重み付けを行う（ステップS1）。

【0032】次に、処理部13は、各信号線にステップS1で推定された推定故障発生度を割り付ける（ステップS2）。次に、処理部13は、割り付けられた推定故障発生度に応じて後述するようにテストパターンを作成する（ステップS3）。まず、ステップS1の各信号線の故障発生度を推定する処理について説明する。各信号線の故障発生度を推定するには、回路の故障情報（故障

10

辞書）及びレイアウト情報から抽出した信号線の物理情報を使用する。信号線の物理情報は、電源線または接地線との交差回数、配線長、配線層交替回数、配線密度に応じて設定されるポイントによって集計され、その合計ポイントが故障発生度として使用される。

【0033】交差回数に応じて設定されるポイントは、例えば、注目する信号線が電源線または接地線と交差する回数が0回ならば、0ポイント、1回ならば1ポイント、2回ならば2ポイント・・・10回ならば10ポイントとし、1回から10回までは交差回数をそのままポイントに、11回以上は10ポイントとする。図3に本発明の論理回路用試験システムの一実施例の交差回数による故障発生度推定処理の動作説明図を示す。

【0034】図3で、論理ゲートG1と論理ゲートG2とは信号線LS1を介して接続され、論理ゲートG3と論理ゲートG2とは信号線LS2を介して接続され、論理ゲートG3と論理ゲートG4とは信号線LS2及び信号線LS3を介して接続され、論理ゲートG2の出力は信号線LS4に接続され、論理ゲートG4の出力は信号線LS5に接続される。

【0035】このとき、信号線LS1、LS2は、電源線又は接地線LD1~LD3の3本の電源線又は接地線と交差するので、3ポイントに設定される。また、信号線LS3は、電源線又は接地線LD5~LD10の6本の電源線又は接地線と交差するので、6ポイントに設定される。さらに、信号線LS4は、電源線又は接地線LD7~LD13の7本の電源線又は接地線と交差するので、7ポイント、信号線LS5は、電源線又は接地線LD13の1本の電源線又は接地線と交差するので、1ポイントに設定される。

【0036】また、配線長に応じたポイントは、平均配線長の5分の1を1ポイント、平均配線長の5分の2を2ポイント、平均配線長の5分の3を3ポイント・・・平均配線長の5分の10以上を10ポイントとして、最小0から最大10までのポイントとして割り振られる。図4に本発明の論理回路用試験システムの一実施例の配線長による故障発生度推定処理の動作説明図を示す。

【0037】図4で、論理ゲートG11と論理ゲートG12とは信号線LS11により接続され、論理ゲートG13と論理ゲートG14とは信号線LS12により接続されているものとする。信号線LS11は、論理ゲートG11と論理ゲートG12とを直線的に接続しており、その配線長は、平均配線長d0の3倍の3d0とされている。このため、信号線LS11には3ポイントが設定される。

【0038】また、論理ゲートG13と論理ゲートG14とは、直線距離では、論理ゲートG11と論理ゲートG12との距離と同じ距離となるように配置されているが、信号線LS12は、障害物a、bを避けて配置されており、その配線長は、平均配線長d0の5倍の5d0とされている。このため、信号線LS12には5ポイントが設定される。

11

【0039】また、配線層交替回数に応じたポイントは、一つの配線層から他の配線層に切り替わる回数である交替回数が0回ならば0ポイント、1回ならば1ポイント、2回ならば2ポイント・・・10回以上なら10ポイントとし、最小0ポイントから最大10ポイントに設定される。図5に本発明の論理回路用試験システムの一実施例の配線層交替による故障発生度推定処理の動作説明図を示す。

【0040】図5で、論理ゲートG21と論理ゲートG22とは信号線L S21により接続され、論理ゲートG23と論理ゲートG22とは信号線L S22により接続されているものとする。論理ゲートG21と論理ゲートG22とを接続する信号線L S21は、配線層S1に配線され、論理ゲートG11と論理ゲートG12とを直線的に接続しており、配線層交替回数は0回であるので、0ポイントが設定される。

【0041】また、同一の配線層S1に形成された論理ゲートG23と論理ゲートG22を接続する信号線L S22は、配線層S1に配線された信号線L S22-1、L S22-3、配線層S2に配線された信号線L S22-2から構成される。このため、信号線L S22では、配線層S1に形成された信号線L S22-1と配線層S2に形成される信号線L S22-2とを接続するために、配線層S1から配線層S2に配線層交替が行われ、また、配線層S2に形成された信号線L S22-2と配線層S1に形成される信号線L S22-3とを接続するために、配線層S2から配線層S1に配線層交替が行われ、よって、計2回の配線層交替が行われことになる。したがって、信号線L S22の配線層交替によるポイントは2ポイントに設定される。

【0042】また、配線密度によるポイントは、平均配線密度の5分の1を1ポイントとして、各信号線において最も混んでいる箇所での配線密度によってポイントを設定する。例えば、信号線において最も混んでいる箇所での配線密度が平均配線密度の5分の1であれば、1ポイント、配線密度が平均配線密度の5分の2であれば、2ポイント、配線密度が平均配線密度の5分の3であれば、3ポイント・・・配線密度が平均配線密度の5分の10以上であれば、10ポイントに設定される。

【0043】図6に本発明の論理回路用試験システムの一実施例の配線層交替による故障発生度推定処理の動作説明図を示す。図6で、論理ゲートG31と論理ゲートG32とは、信号線L S31により接続され、論理ゲートG33と論理ゲートG34とは、信号線L S32により接続され、論理ゲートG35と論理ゲートG36とは、信号線L S33により接続され、論理ゲートG37と論理ゲートG38とは、信号線L S34により接続される。

【0044】論理ゲートG31と論理ゲートG32とを接続する信号線L S31は、周囲に他の信号線が存在せず、配線密度は平均配線密度の5分の1以下であるので、0ポイントに設定される。また、論理ゲートG33と論理ゲート

12

トG34とを接続する信号線L S32、論理ゲートG35と論理ゲートG36とを接続する信号線L S33、論理ゲートG37と論理ゲートG38とを接続する信号線L S34は、互いに平行に、かつ、近接して配置され、最も配線密度が高くなる領域Aで、配線密度が平均配線密度の5分の7程度となるとすると、信号線L S32、信号線L S33、信号線L S34には、それぞれ7ポイントが設定される。

【0045】処理部13は、以上のようにして交差回数、配線長、配線層交替回数、配線密度に応じてそれぞれ設定されたポイントを各信号線毎に割り当て、集計結果を作業用メモリ14に格納する。次に、処理部13は、ステップS2で求められ、作業用メモリ14に格納された交差回数、配線長、配線層交替回数、配線密度に応じてそれぞれ設定されたポイントの信号線毎の集計結果から故障発生度に対応する合計ポイントを検出し、合計ポイントの大きい順にテストパターン作成及び必要最小限のテストパターンだけを抽出する圧縮処理等の処理を行い、テストパターンを作成する。

【0046】処理部13で行われるテストパターンの作成、圧縮等の処理としては、テストパターン生成中に同時に圧縮処理を行うダイナミックコンパクション、及び、交差回数、配線長、配線層交替回数、配線密度に応じてそれぞれ設定されたポイントに応じて不要なテストパターンの削除や効率よいテストが可能ないようにテストパターンを並べ替えるスタティックコンパクションがある。

【0047】まず、ダイナミックコンパクションによりテストパターンを作成する場合について図面とともに説明する。図7に本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例のブロック構成図を示す。

【0048】図7に示す論理回路は説明を簡単するために、論理ゲートG41、G42、G43、G44の4つの論理ゲートから構成する。図7において論理ゲートG41には信号線A、Bが接続される。論理ゲートG41は、信号線A、Bの論理に応じた出力パターンを信号線Eに出力する。信号線Cは、信号線F、Gに分岐される。信号線Gは論理ゲートG42に接続される。論理ゲートG42には信号線D、Gが接続される。論理ゲートG42は信号線D、Gの論理に応じた出力パターンを信号線Jに出力する。

【0049】また、信号線Fは、論理ゲートG43に接続される。論理ゲートG43は、信号線Fの論理を反転させて信号線Hに出力する。信号線E、及び、信号線Hは、論理ゲートG44に供給される。論理ゲートG44は、信号線E、Hの論理に応じた出力パターンを信号線Iから出力する。図8は本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例のポイント集計表を示す図である。

13

【0050】図7に示すような論理回路の各信号線A～Jに対して交差回数、配線長、配線層交替回数、配線密度に応じてそれぞれ設定されたポイントを求めたところ図8に示すようなポイント集計表が得られたとする。図8に示すように信号線A～Jのポイント値を見ると、信号線Dの合計ポイントが24ポイントで他の信号線A～C、E～Jのうちで一番高いポイントとなっている。そこで、信号線Dの「0」の縮退故障s a0をターゲットにしたテスト生成について考える。

【0051】図7で、信号線Cの論理を「0」、信号線Dの論理を「1」とすることにより、故障の影響を信号線Jの論理として伝搬することができる。この時には、信号線A、Bの入力値は「X」(don't care)のままである。次に、このテストパターンにマージ可能なテストパターンを生成するときのターゲットとなる故障を考える。

【0052】このテストパターンにマージ可能なターゲット故障の候補として、信号線Aの「0」の縮退故障s a0や信号線Bの「0」の縮退故障s a0などを挙げられる。このうち、図8で一番ポイントの高い信号線の故障は信号線Bの「0」縮退故障s a0である。そこで、信号線Bの「0」縮退故障s a0についてすでに生成したテストパターンにマージ可能なように、信号線A、Bに論理を割り付ける図9に本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを作成しようとする論理回路の一例の動作説明図を示す。

【0053】図9に示すように信号線Aに論理「0」、信号線Bに論理「1」を割り当てることにより信号線Dのテストパターンのマージ可能なテストパターンを作成できる。残った故障に対して、以上のことを繰り返すことにより、発生しやすい故障が早い順序で実施されるようなテストパターンが生成される。

【0054】生成されたテストパターンはテストパターン記憶部15にテスト順に順次格納される。なお、テストパターンのターゲットとする故障を選択する際に、同時に検出する故障のある信号線を考慮することにより、多く発生しやすい故障を早く検出可能なテストパターンを生成することができる。

【0055】次にスタティックコンパクションによりテストパターンを作成する場合について図面とともに説明する。スタティックコンパクションでは、あるテストパターンについて、そのテストパターンが検出可能な故障がそれ以外のテストパターンで全て検出される場合、そのテストパターンを冗長なテストパターンとして、テストパターンセットから削除する。通常は目標とする仮定故障の重みは意識しないが、本方法では、通常のテストパターン圧縮を故障情報(故障辞書)にあるポイントとあわせて行う。

【0056】1つのテストパターンが検出した故障のポ

14

イントの総数が大きなものから優先的にテストするテストパターンを作成する。以上により、全体として発生しやすい故障をより早く検出する効率良いテストパターン圧縮が実現される。図10に本発明の論理回路用試験システムの一実施例のスタティックコンパクションによりテストパターンを作成しよとする論理回路の一例のブロック構成図を示す。

【0057】図10に示す論理回路は説明を簡単にするため、論理ゲートG51、G52、G53の3つの論理ゲートから構成する。図10において論理ゲートG51には信号線A、Bが接続される。論理ゲートG51は、信号線A、Bの論理に応じた出力パターンを信号線Eに出力する。また、論理ゲートG52には信号線C、Dが接続される。論理ゲートG52は信号線C、Dの論理に応じた出力パターンを信号線Fに出力する。

【0058】さらに、論理ゲートG53には、信号線E、Fが接続される。論理ゲートG53は、信号線E、Fの論理に応じた論理を信号線Gに出力する。図11に本発明の論理回路用試験システムの一実施例のスタティックコンパクションによりテストパターンを作成しよとする論理回路の一例のポイント集計表を示す。

【0059】スタティックコンパクションでは、各配線A～G毎に図3～図6で説明したように交差回数、配線長、配線層交替回数、配線密度に応じたポイントを算出し、図11に示すような配線A～G毎の交差回数、配線長、配線層交替回数、配線密度に応じたポイント、及び、ポイント合計、順位を集計した集計表を作成する。次に、テストパターンを作成する。

【0060】図12～図15に本発明の論理回路用試験システムの一実施例のスタティックコンパクションによるテストパターン作成動作を説明するための図を示す。図10に示すような論理回路からは、例えば、図12に示すようなテストパターン1～5の5つのテストパターンが作成されたとする。図12では、各配線A～Gの故障SA0及び故障SA1について、テストパターン1～5の各テストパターンでは、「○」で示した故障の検出が可能である。

【0061】図12で求められたテストパターン1～5には、配線A～Gのうちテスト可能なポイントの合計が付与される。例えば、図12で、テストパターン1は、テストパターン1で「○」が付与されテスト可能な配線Bのポイントである「19」、配線Dのポイントである「26」、配線Eのポイントである「12」、配線Fのポイントである「14」、配線Gのポイントである「10」を加算した「91」が合計ポイントが付与される。また、テストパターン2は、テストパターン2で「○」が付与され、テスト可能な配線Bのポイントである「19」、配線Cのポイントである「13」、配線Eのポイントである「12」、配線Fのポイントである「14」、配線Gのポイントである「10」を加算した「6

15

8」が合計ポイントとして付与される。テストパターン3～5に対しても同様のポイント合計が算出される。図12に示すようにテストパターン3のポイント合計は「72」、テストパターン4のポイント合計が「63」、テストパターン5のポイント合計が「93」となる。

【0062】図12に付与されたポイント合計の計算結果から、テストパターン5のポイント合計「93」が一番ポイント合計が多く、試験装置ではじめに試験を行うテストパターンとして最適であるので、テストパターン5を試験装置により最初に試験するテストパターンとして設定する。2番目に実施するテストパターンを求めるときには、図13に示すようにテストパターン5でテストされる配線AのSA0故障、配線DのSA1故障、配線EのSA1故障、配線FのSA1故障、配線GのSA1故障を除いてポイント合計を算出する。テストパターン5でテストされる配線AのSA0故障、配線DのSA1故障、配線EのSA1故障、配線FのSA1故障、配線GのSA1故障を除いてポイント合計を算出すると、図13に示すようにテストパターン1のポイント合計が「19」、テストパターン2のポイント合計が「32」、テストパターン3のポイント合計が「72」、テストパターン4のポイント合計が「63」となる。

【0063】図13に示す計算結果から、テストパターン3のポイント合計「72」が一番ポイント合計が多いので、テストパターン3をテストパターン5に続けて実施すべく設定される。3番目に実施するテストパターンは図14に示すようにテストパターン5及びテストパターン3でテストされる配線AのSA0、SA1故障、配線BのSA1故障、配線DのSA1故障、配線EのSA0、SA1故障、配線FのSA1故障、配線GのSA0、SA1故障を除いてポイント合計を算出する。図14に示すように配線AのSA0、SA1故障、配線BのSA1故障、配線DのSA1故障、配線EのSA0、SA1故障、配線FのSA1故障、配線GのSA0、SA1故障を除いてポイント合計を算出すると、テストパターン1のポイント合計が「19」、テストパターン2のポイント合計が「32」、テストパターン3のポイント合計が「53」となる。

【0064】図14に示す計算結果から、テストパターン4のポイント合計「53」が一番ポイント合計が多いので、テストパターン4をテストパターン5、テストパターン3に続けて実施すべく設定される。4番目に実施するテストパターンは図15に示すようにテストパターン5、3、4でテストされる配線AのSA0、SA1故障、配線BのSA1故障、配線CのSA0故障、配線DのSA0、SA1故障、配線EのSA0、SA1故障、配線FのSA0、SA1故障、配線GのSA0、SA1故障を除いてポイント合計を算出する。図15に示すように配線AのSA0、SA1故障、配線BのSA1故

16

障、配線CのSA0故障、配線DのSA0、SA1故障、配線EのSA0、SA1故障、配線FのSA0、SA1故障、配線GのSA0、SA1故障を除いてポイント合計を算出すると、テストパターン2のポイント合計が「32」、テストパターン1のポイント合計が「19」となる。

【0065】図15に示す計算結果から、テストパターン2のポイント合計「32」がテストパターン1のポイント合計「19」より大きくなるので、テストパターン2をテストパターン5、テストパターン3、テストパターン4に続けて実施すべく設定される。また、図15においてテストパターン5、3、4、2を実行することにより、全ての故障、すなわち、配線AのSA0、SA1故障、配線BのSA0、SA1故障、配線CのSA0故障、配線DのSA0、SA1故障、配線EのSA0、SA1故障、配線FのSA0、SA1故障、配線GのSA0、SA1故障がテストされるので、テストパターン1の実行は不要となり、削除される。

【0066】以上のようにテストパターン5、3、4、2の順にテストを行うことにより発生しやすい故障を早い段階で検出可能なテストパターンの順序を設定できる。なお、本実施例では、ダイナミックコンパクションとスタティックコンパクションとをそれぞれ別々に実施した例について説明したが、ダイナミックコンパクションにより生成、圧縮されたテストパターンに対してスタティックコンパクションを実施し、さらに、圧縮、並べ換えを行うことにより、より最適なテストパターン及びテスト順序を得ることができる。

【0067】以上のようにして得られたテストパターンにより論理回路3-1～3-nに対して試験が実施される。チップが製造された後、テスターでの試験が実施される。良品チップではすべてのテストパターンを正常にパスするが、不良品では途中で期待値と測定値に食い違いが生じる。試験時間の短縮のために不良品であることが判ったらただちに試験を打ち切り、次のチップの試験に移る。

【0068】図16に本発明の論理回路用試験システムの一実施例の試験装置の動作フローチャートを示す。試験装置4は、入力装置17から試験開始指示があると、まず、テストパターン数を示すnを「1」に設定する（ステップS2-1）。次に、試験装置4は、テストパターン作成装置2で作成され、テストパターン記憶部15に記憶されたテストパターンをテストパターン作成装置2で予め設定された順位のうちn番目に設定されたテストパターンを読み出し、論理回路3-1～3-nに供給する（ステップS2-2、S2-3）。

【0069】試験装置4は、ステップS2-3で読み出されたテストパターンに応じて論理回路3-1～3-nから出力される出力パターンを検出する（ステップS2-4）。試験装置4はステップS2-4で読み出され

17

た論理回路 3-1~3-n の検出力パターンが正常論理か否かを判定する (ステップ S 2-5)。ステップ S 2-5 で、論理回路 3-1~3-n の検出力パターンが正常論理でない、すなわち、論理回路 3-1~3-n に故障があれば、以降の試験を中止し、故障を報知する (ステップ S 2-6、S 2-7)。

【0070】また、ステップ S 2-5 で論理回路 3-1~3-n の検出力パターンが正常論理、すなわち、論理回路 3-1~3-n に故障がなければ、次に、n が設定された最大のテストパターン順位か否かを判定する (ステップ S 2-8)。ステップ S 2-8 で n が設定された最大のテストパターン順位に達していなければ、n を n+1 に設定して、ステップ S 2-2 に戻って、次に設定されたテストパターンによる故障判定を実行する (ステップ S 2-9)。

【0071】また、ステップ S 2-8 で、n が設定された最大のテストパターン順位になると、論理回路 3-1~3-n には故障がないと判断できるので、正常である旨を報知し、次の論理回路 3-1~3-n の試験を行う (ステップ S 2-10)。本実施例の試験装置 4 によれば、不良品であることが判ったらただちに試験を打ち切り、次のチップの試験に移るので、試験時間を短縮できる。

【0072】

【発明の効果】上述の如く、本発明の請求項 1 によれば、論理回路のレイアウトに応じて推定された故障の発生確率の高い順に、かつ、故障が重複するパターンが圧縮されたテストパターンが生成されるため、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える等の特長を有する。

【0073】請求項 2 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて故障検出確率を推定して、テストパターンを作成することにより、縮退故障の主な原因である電源線または接地線などの配線を優先することができるため、実際に発生しやすい故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0074】請求項 3 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて故障検出確率を推定して、テストパターンを作成することにより、断線や短絡の可能性の大きい実配線長が長い配線の故障を優先することができるため、断線や短絡を原因とする故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0075】請求項 4 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて故障検出確率を推定して、テストパターンを作成することにより、配線の断線を原因とする

18

故障を優先してテストパターンを作成することができるため、断線を原因とする故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0076】請求項 5 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定してテストパターンを作成することにより、短絡の原因となる故障を優先してテストパターンを作成できるため、短絡を原因とする故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0077】請求項 6 によれば、テストパターン生成過程により全てのテストパターンを生成した後、第 1 の圧縮過程により故障検出確率が上位のテストパターンで検出された故障が含まれる下位テストパターンを削除することによりテストパターンを圧縮する、いわゆる、スタティックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える等の特長を有する。

【0078】請求項 7 によれば、故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成する、いわゆる、ダイナミックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える等の特長を有する。

【0079】請求項 8 によれば、論理回路のレイアウトに応じて推定された故障の発生確率の高い順に、かつ、故障が重複するパターンが圧縮されたテストパターンが生成されるため、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える等の特長を有する。

【0080】請求項 9 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が他の配線と交差する回数に応じて故障検出確率を推定して、テストパターンを作成することにより、縮退故障の主な原因である電源線または接地線などの配線を優先することができるため、実際に発生しやすい故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0081】請求項 10 によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の実配線長に応じて故障検出確率を推定して、テストパターンを作成することにより、断線や短絡の可能性の大きい実配線長が長い

配線の故障を優先することができるため、断線や短絡を原因とする故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0082】請求項11によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線が配線途中で配線層を替える回数に応じて故障検出確率を推定して、テストパターンを作成することにより、配線の断線を原因とする故障を優先してテストパターンを作成することができるため、断線を原因とする故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0083】請求項12によれば、論理回路のレイアウト上、故障を抽出すべき所定の配線の周囲の配線密度に応じて前記故障検出確率を推定してテストパターンを作成することにより、短絡の原因となる故障を優先してテストパターンを作成できるため、短絡を原因とする故障に有効なテストパターンを優先的に作成できる等の特長を有する。

【0084】請求項13によれば、テストパターン作成手段により全てのテストパターンを生成した後、故障検出確率が上位のテストパターンで検出された故障が含まれる下位テストパターンを削除することによりテストパターンを圧縮する、いわゆる、スタティックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える等の特長を有する。

【0085】請求項14によれば、故障検出確率推定過程で得られた故障検出確率に基づいて故障検出確率の高い順に順次故障が重複するパターンを圧縮しつつテストパターンを作成する、いわゆる、ダイナミックコンパクションによりテストパターンを圧縮することにより、実際に発生しやすい故障に有効なテストパターンを効率的に生成でき、生成されたテストパターンによりテストを行うことにより故障がある場合には早い段階で、故障を発見できるので、テストを迅速に行える等の特長を有する。

【0086】請求項15によれば、故障検出確率の高い順に順次作成されたテストパターンから順次試験を行うので、早い段階で故障を検出でき、故障が検出されたときには直ちに試験が停止されるので、不要な試験を行うことがないので、試験を効率よく行える等の特長を有する。請求項16によれば、故障検出確率の高い順に順次作成されたテストパターンから順次試験を行うので、早い段階で故障を検出でき、故障が検出されたときには直ちに試験が停止されるので、不要な試験を行うことがないので、試験を効率よく行える等の特長を有する。

【図面の簡単な説明】

【図1】本発明の論理回路用試験システムの一実施例の

ブロック構成図である。

【図2】本発明の論理回路用試験システムの一実施例の処理部の動作フローチャートを示す。

【図3】本発明の論理回路用試験システムの一実施例の交差回数による故障発生度推定処理の動作説明図である。

【図4】本発明の論理回路用試験システムの一実施例の配線長による故障発生度推定処理の動作説明図である。

【図5】本発明の論理回路用試験システムの一実施例の配線層交替回数による故障発生度推定処理の動作説明図である。

【図6】本発明の論理回路用試験システムの一実施例の配線密度による故障発生度推定処理の動作説明図である。

【図7】本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例のブロック構成図である。

【図8】本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例のポイント集計表を示す図である。

【図9】本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例の動作説明図である。

【図10】本発明の論理回路用試験システムの一実施例のスタティックコンパクションによりテストパターンを生成しようとする論理回路の一例のブロック構成図である。

【図11】本発明の論理回路用試験システムの一実施例のスタティックコンパクションによりテストパターンを生成しようとする論理回路の一例のポイント集計表を示す図である。

【図12】本発明の論理回路用試験システムの一実施例のスタティックコンパクションによるテストパターン生成動作を説明するための図である。

【図13】本発明の論理回路用試験システムの一実施例のスタティックコンパクションによるテストパターン生成動作を説明するための図である。

【図14】本発明の論理回路用試験システムの一実施例のスタティックコンパクションによるテストパターン生成動作を説明するための図である。

【図15】本発明の論理回路用試験システムの一実施例のスタティックコンパクションによるテストパターン生成動作を説明するための図である。

【図16】本発明の論理回路用試験システムの一実施例の試験装置の動作フローチャートである。

【符号の説明】

- 1 論理回路用試験システム
- 2 論理回路用テストパターン作成装置

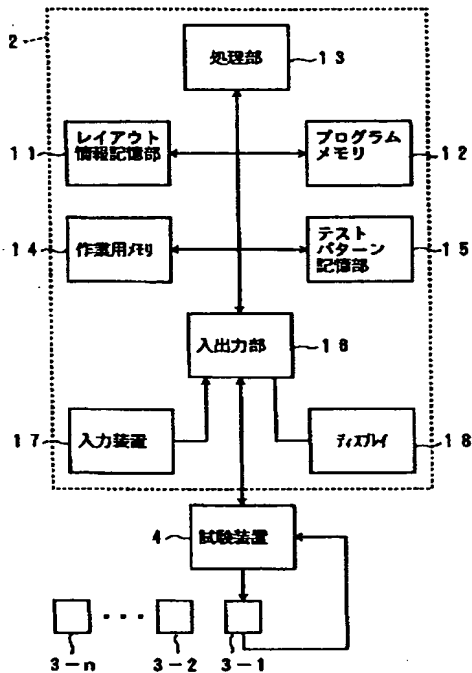
21

- 3-1~3-n 論理回路
 4 試験装置
 11 レイアウト情報記憶部
 12 プログラムメモリ
 13 処理部
 14 作業用メモリ

【図1】

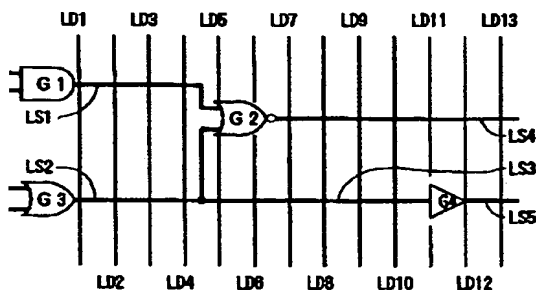
本発明の論理回路用試験システムの一実施例のブロック構成図

1 論理回路用試験システム



【図3】

本発明の論理回路用試験システムの一実施例の
 交差回数による故障発生度推定処理の動作説明図

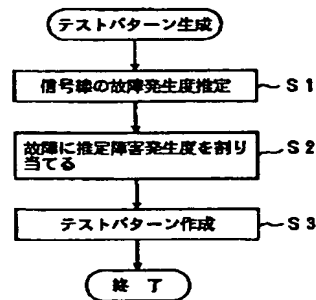


22

- * 15 テストパターン記憶部
 16 入出力部
 17 入力装置
 18 ディスプレイ
 G1~G4、G11~G14、G21~G23、G31~G38、G
 * 41~G44、G51~G53論理ゲート

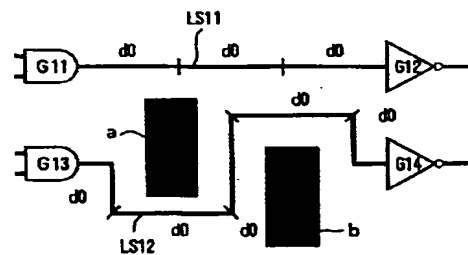
【図2】

本発明の論理回路用テストパターン作成装置の
 一実施例の処理部の動作フローチャート



【図4】

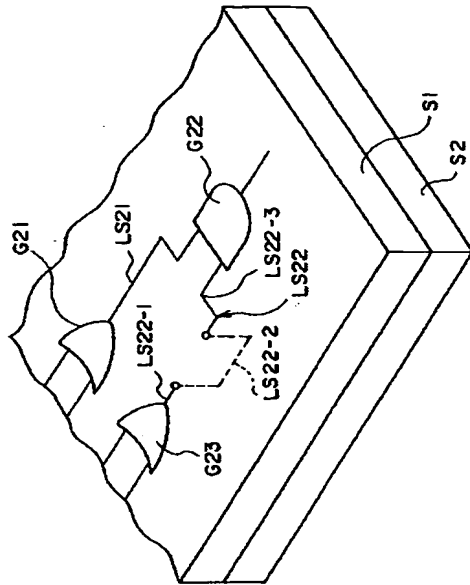
本発明の論理回路用試験システムの一実施例の
 配線長による故障発生度推定処理の動作説明図



BEST AVAILABLE COPY

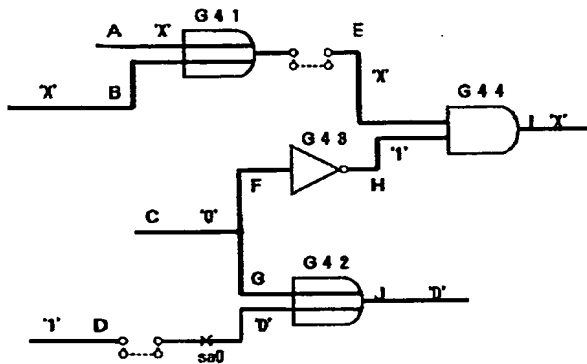
【図 5】

本発明の論理回路用試験システムの一実施例の配線層交替回数による故障発生度推定処理の動作説明図



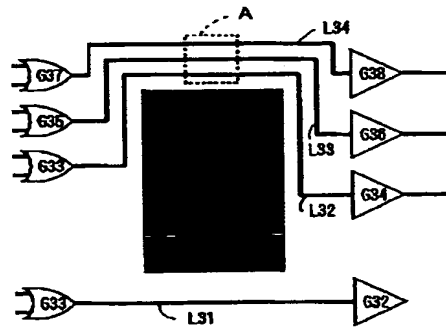
【図 7】

本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例のブロック構成図



【図 6】

本発明の論理回路用試験システムの一実施例の配線密度による故障発生度推定処理の動作説明図



【図 8】

本発明の論理回路用試験システムの一実施例のダイナミックコンパクションによりテストパターンを生成しようとする論理回路の一例のポイント集計表を示す図

信号線	電源/CR	配線長	配線層	配線密度	#/1計	順位
A	2	4	0	3	9	7
B	4	10	0	5	19	2
C	2	4	0	3	9	7
D	10	10	2	4	24	1
E	3	6	2	5	16	3
F	2	4	0	4	10	5
G	2	4	0	4	10	5
H	2	4	0	5	11	4
I	2	4	0	3	9	7
J	2	4	0	3	9	7

【図 11】

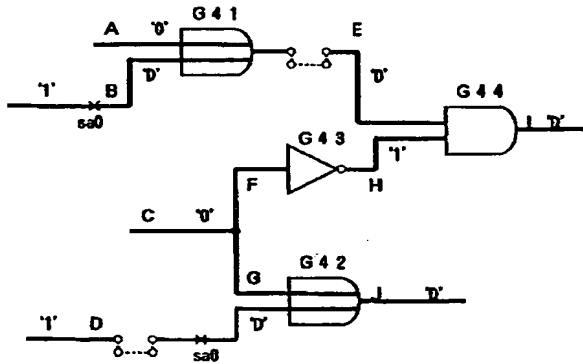
本発明の論理回路用試験システムの一実施例のスタティックコンパクションによりテストパターンを生成しようとする論理回路の一例のポイント集計表を示す図

信号線	電源/CR	配線長	配線層	配線密度	#/1計	順位
A	10	10	2	9	31	1
B	4	10	0	5	19	3
C	2	4	0	7	13	5
D	10	10	2	4	26	2
E	3	6	0	3	12	6
F	2	4	0	8	14	4
G	2	4	0	4	10	7

BEST AVAILABLE COPY

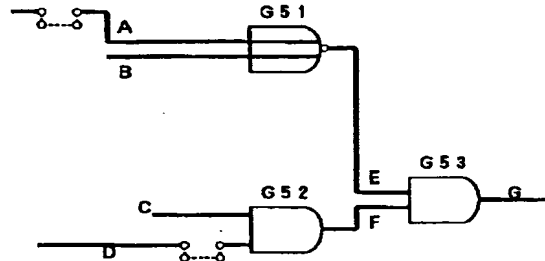
【図 9】

本発明の論理回路用試験システムの一実施例のダイナミック
コンパクションによりテストパターンを生成しようとする
論理回路の一例の動作説明図



【図 10】

本発明の論理回路用試験システムの一実施例のスタティック
コンパクションによりテストパターンを生成しようとする
論理回路の一例のブロック構成図



【図 12】

本発明の論理回路用試験システムの一実施例のスタティック
コンパクションによるテストパターン作成動作を説明するための図

		ポイント 合計		81	88	72	83	85
回路A 47181	SA0	SA1						
	SA0	SA1						
回路B 47119	SA0	SA1						
	SA0	SA1						
回路C 47115	SA0	SA1						
	SA0	SA1						
回路D 47126	SA0	SA1						
	SA0	SA1						
回路E 47112	SA0	SA1						
	SA0	SA1						
回路F 47114	SA0	SA1						
	SA0	SA1						
回路G 47110	SA0	SA1						
	SA0	SA1						

【図 13】

本発明の論理回路用試験システムの一実施例のスタティック
コンパクションによるテストパターン作成動作を説明するための図

		ポイント 合計		19	32	72	83
回路A 47181	SA0	SA1					
	SA0	SA1					
回路B 47119	SA0	SA1					
	SA0	SA1					
回路C 47115	SA0	SA1					
	SA0	SA1					
回路D 47126	SA0	SA1					
	SA0	SA1					
回路E 47112	SA0	SA1					
	SA0	SA1					
回路F 47114	SA0	SA1					
	SA0	SA1					
回路G 47110	SA0	SA1					
	SA0	SA1					

【図 1 4】

本発明の論理回路用試験システムの一実施例のスタティック
コンパクションによるテストパターン作成動作を説明するための図

	回路 A 47181		回路 B 47119		回路 C 47113		回路 D 47126		回路 E 47112		回路 F 47114		回路 G 47110		ポイント 合計
	S40	S41	S40	S41	S40	S41	S40	S41	S40	S41	S40	S41	S40	S41	
14-75	○														
14-73		○													
14-71			○												19
14-72			○			○									32
14-74					○		○								53

【図 1 5】

本発明の論理回路用試験システムの一実施例のスタティック
コンパクションによるテストパターン作成動作を説明するための図

	回路 A 47181		回路 B 47119		回路 C 47113		回路 D 47126		回路 E 47112		回路 F 47114		回路 G 47110		ポイント 合計
	S40	S41	S40	S41	S40	S41	S40	S41	S40	S41	S40	S41	S40	S41	
14-75	○														
14-73		○													
14-74															
14-72			○			○									32
14-71			○				○								19

【図16】

本発明の論理回路用試験システムの一実施例の
試験装置の動作フローチャート

